

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number 10112444 A

(43) Date of publication of application: 28.04.98

(51) Int. Cl

**H01L 21/28****H01L 21/20**

(21) Application number 08265854

(22) Date of filing: 07.10.96

(71) Applicant: FURUKAWA ELECTRIC CO LTD:THE

(72) Inventor  
KOJIMA SEIJI  
HATTORI SATOSHI  
ISHII HIROTATSU  
IKEDA MASAKIYO

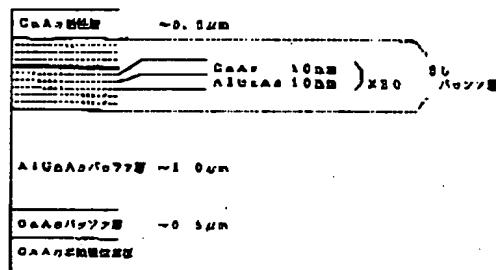
(54) COMPOUND SEMICONDUCTOR BOARD

etc., and also to obtain breakdown strength characteristic.

(57) Abstract

**PROBLEM TO BE SOLVED:** To provide a field effect transistor having both high breakdown strength characteristic and good high frequency characteristic by providing an upper buffer layer provided with at least a GaAs/AlGaAs thin film cycle structure with a function to restrain deterioration of high frequency characteristic and a thick film Al GaAs buffer layer with a function to raise breakdown strength.

**SOLUTION:** A 0.5 to 1.0 $\mu$ m-thick GaAs layer which enough raises crystallinity of a semiconductor layer is formed as a lower buffer layer on a GaAs substrate, and a 0.05 to 1.0 $\mu$ m-thick AlGaAs layer (Al composition 0.2) as an upper buffer layer and a superlattice structure in which 10nm-thick GaAs layer and an AlGaAs (Al composition 0.2) layer are deposited by 20 cycles on each crystal growth are formed thereon. Furthermore, a 0.5 $\mu$ m-thick GaAs active layer of carrier density of  $2.0 \times 10^{17} \text{ cm}^{-3}$  is formed on the buffer layer structure. According to this constitution, it is possible to restrain deterioration of high frequency characteristic which is presumed to be caused by propagation of crystal defect from a substrate side or diffusion of impurities,



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-112444

(43)公開日 平成10年(1998)4月28日

(51)Int.Cl.<sup>6</sup>  
H 01 L 21/28  
21/20

識別記号  
301

F I  
H 01 L 21/28  
21/20

301H

審査請求 未請求 請求項の数1 O L (全 10 頁)

(21)出願番号 特願平8-265854

(22)出願日 平成8年(1996)10月7日

(71)出願人 000005290  
古河電気工業株式会社  
東京都千代田区丸の内2丁目6番1号  
(72)発明者 児島 誠司  
東京都千代田区丸の内2丁目6番1号 古  
河電気工業株式会社内  
(72)発明者 服部 聰  
東京都千代田区丸の内2丁目6番1号 古  
河電気工業株式会社内  
(72)発明者 石井 宏辰  
東京都千代田区丸の内2丁目6番1号 古  
河電気工業株式会社内

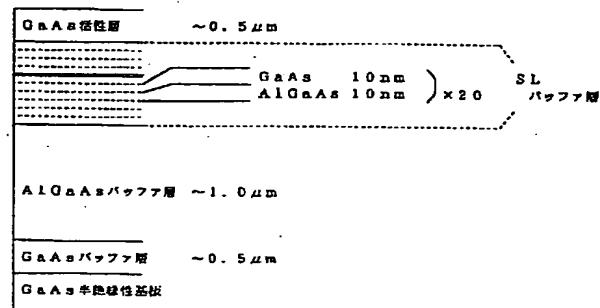
最終頁に続く

(54)【発明の名称】 化合物半導体基板

(57)【要約】

【課題】 耐圧および高周波特性がともに優れる電子デバイス用の化合物半導体基板を提供する。

【解決手段】 GaAs基板上に厚さ0.05~1.0μmの厚膜GaAs層よりなる下部バッファ層と、少なくともGaAs/AIGaAs超格子構造と厚さ0.05~1.0μmの厚膜AIGaAs層を有する上部バッファ層を形成する。



## 【特許請求の範囲】

【請求項1】GaAs基板上に厚さ0.05~1.0μmの厚膜GaAs層よりなる下部バッファ層と、少なくともGaAs/AIGaAs超格子構造と厚さ0.05~1.0μmの厚膜AIGaAs層を有する上部バッファ層を形成したことを特徴とする化合物半導体基板。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、電子デバイス用の化合物半導体基板に関するものである。

## 【0002】

【従来の技術】現在、マイクロ波素子や携帯電話用素子として化合物半導体材料を用いた、電界効果トランジスタ(FET、増幅素子の一種)が多く用いられている。これは、従来用いられていたシリコンを基板材料として用いたトランジスタ等に対して、高速の動作や低電圧低消費電力の動作が可能な為に用いられている。この様なトランジスタを作製する材料として、GaAs単結晶基板上にGaAsやAIGaAsを導電型等を制御した単結晶薄膜を堆積したエピタキシャルウェハが用いられる。図1にその一例を示す。これは、バッファ層として厚膜のGaAsとAIGaAsを使ったものである。

【0003】この様な積層構造を作製する方法の一つとしてMOCVD法(Metal-OrganicChemical Vapor Deposition: 有機金属気相成長法)がある。これは原料としてガリウム(Ga)やアルミニウム(Al)等の有機金属(トリメチルガリウム(TMГ), トリメチルアルミニウム(TMA)等)とヒ素(As)の水素化物(アルシン(AsH<sub>3</sub>))を水素等のキャリアガスと共に600~700°Cに加熱した反応炉内に導入し、そこで熱分解反応によって反応炉内に設置した半導体基板上に半導体薄膜を形成するものである。堆積する半導体薄膜の電気的特性を決定する意図しない不純物の取り込みや、作製される結晶の結晶性は、その成長条件(反応炉の形状、基板の温度、原料供給比)によって変化する。一般に基板の結晶性はエピタキシャル成長される薄膜層に対して劣るとされているので、基板の上にまずバッファ層(基板の結晶性低下等から動作層を離すための緩衝層)を成長するが、この層に要求される高純度性(高抵抗性)を得るための条件としては、成長温度としてMOCVD法で600~650°Cの温度が良好とされている。この為に、基板を反応炉に装着した後(なお、基板は、基板研磨の際の破碎層の除去や基板保管等による表面層の汚染の除去のために、反応炉装着前に溶液によるエッティングによって表面層を0.1~4μm除去する)、バッファ層の成長温度まで基板を昇温した上で原料ガスを導入して薄膜を堆積する。また、バッファ層としてGaAs以外にAIGaAsを用いるときには、この材料の高抵抗性が得られる温度がGaAsと異なることが多く、この為にAIGaAs層の成長前には温度を

620~670°Cと変化させることも多い。この様な成長温度は、反応炉の形状、キャリアガスの流量等により若干は変化するものである。また、FETの動作層となる活性層は、電導型を制御するために、電子を供給する不純物としてSiを添加する為に、シランガス(SiH<sub>4</sub>)あるいは、ジシランガス(Si<sub>2</sub>H<sub>6</sub>)をGaAsの堆積時に同時に導入する。この成長シーケンス特に成長温度を図2に示す。

【0004】FETの特性のうち、上述のバッファ層の影響を大きく受けるとされているものに高周波特性とFET耐圧がある。ここで高周波特性とは、FETを電力増幅器として使うときの利得の事をいう。この様な特性を反映するものとして、サイドゲート効果による電流変動がある。これはFET素子を作製する際に、電流の経路となるソース電極、ドレイン電極と制御電極となるゲート電極に加えて、バッファ層の上に第二の制御電極(サイドゲート電極)を付加して、これからの影響を見るものである。その構造を図3に示す。

【0005】このサイドゲート電極への印加電圧を変化させたときのソースードレイン電極間の電流変動が少ないほど高周波特性が良好であることが分かっている。高周波特性を測定するにはFET素子の作製、測定に時間がかかるのに対して(素子の高周波特性を精度良く測定するためには、FET素子の電極構造、形状等に注意が必要で、そのためには多数の工程を経なければならないので素子作製に時間がかかる上、測定も種々の配線等の取り回し等注意が必要で時間がかかる)、サイドゲート効果の測定は直流または低周波数での測定であるため、単純なテスト用FET構造で測定が可能であり、サイドゲート効果による電流変動はFETの高周波特性を簡便に評価する指標として利用されている。

【0006】一方FET耐圧とは、FETのソースードレイン間に電流をあまり流さない状態でどれだけの高電圧まで素子が耐えられるかを示す特性である。FET耐圧の測定は通常、図3のサイドゲート効果測定回路において、サイドゲート電極には電圧を印加しない状態(電極を浮かせた状態)で、V<sub>DS</sub>とI<sub>DS</sub>の関係をV<sub>GS</sub>をパラメータとして測定することにより求められる。

【0007】サイドゲート効果による電流変動、FET耐圧は、測定に用いるサイドゲート効果測定回路の素子寸法やゲート電圧(V<sub>GS</sub>)などのパラメータの影響を受けるため一義的に必要値は定まらないが、経験的に、ソース、ドレイン電極幅200μm、ソースードレイン電極間距離10μm、ゲートリセス量~0.3μm、ゲート電極幅1μm、ゲート電極長さ~1μmとし、ドレイン電極から200μmの位置に設けたサイドゲート電極の印加電圧を10V変化させたときの電流変動(サイドゲート効果による電流変動)が0.04mA以下であれば、FETの高周波特性として良好なものと評価することができ、サイドゲート電極への印加電圧が0、V<sub>GS</sub>が

—2.5Vの条件で $I_{DS}$ が0.1mAとなるときのVDS値(FET耐圧)が21V以上であれば良好なものと評価することができる。

【0008】また、バッファ層の高抵抗性を調査する方法として、バッファリーク電流がある。これは、バッファ層に直接オーミック電極を形成しそれに電圧を印加したときの電流値を見るものである。バッファリーク測定用回路の一例を図4に示す。このバッファ層リーク電流はFET静特性でのピンチオフ電圧近傍の挙動とほぼ一対一の結果を示すため、FET耐圧を評価する補助的な指標として用いられており、バッファリーク電流が $7 \times 10^{-8}$ 以下であればFET耐圧も十分であると評価できる。しかしながら、これが指標として使用できるのはバッファ層がGaAs厚膜やAlGaAs厚膜である場合であり、後述の超格子バッファ層では、その測定用電極が超格子層のなかに接触すると、超格子層のなかのGaAs付近に電極が接触するためカリーク電流の大きさが $10^{-6}$ A程度の異常値を示すことが知られている（しかし、これが更に大きな電流値となつたときは、エピタキシャル成長上の問題等で良好でないバッファ層が作製されたことが推定される）。

#### 【0009】

【発明が解決しようとする課題】以上説明したFETの特性のうちFET耐圧については、AlGaAsが、GaAsに対して大きいエネルギーギャップを持つこと等により、AlGaAs厚膜バッファ層を用いたFETはGaAs厚膜バッファ層を用いたFETと比較して良好であることが知られている。また、基板からの結晶欠陥あるいは不純物の拡散が高周波特性や耐圧の低下の原因の一つであることから、近年これを改善する目的で超格子構造を持ったバッファ層が用いられている。この一例を図5に示す。これは、厚膜のGaAsあるいはAlGaAsからなる従来のバッファと異なり、5~100nmの厚さのGaAsとAlGaAs (Al組成0.15~0.35) を周期的に交互に複数層堆積したものである。この様な構造の利点は、格子定数のほぼ同一なGaAsとAlGaAsにおいてもそのヘテロ界面での微少な格子定数のずれ等の影響により、基板側から伝搬する結晶欠陥が逃げていく、あるいはその界面で基板側から伝搬してくる不純物等の拡散が抑制される等の効果があり、全体のバッファ層の厚さが小さくとも高周波特性が良好に出来る等の利点があった。

【0010】しかしながら、AlGaAsとGaAsの電気陰性度の差からAlGaAs中の電子が電子移動度が大きいGaAs中に送り込まれるために、厚膜のAlGaAsに比べて超格子構造は低抵抗となりやすいために、FET耐圧が低下するという欠点があった。

【0011】このように、従来用いられていたバッファ層のうち、AlGaAs厚膜バッファ層では高いFET耐圧が得られるが良好な高周波特性が得にくいという問

題点があり、一方、超格子バッファは高周波特性は良好であるがFET耐圧が低いという問題点があった。

【0012】その具体例として、例えば活性層のキャリア密度 $2.0 \times 10^{17} \text{ cm}^{-3}$ 、厚さ0.5μmのGaAs活性層を持つFET用エピタキシャル構造で図1のバッファ層構造のものに、ソース、ドレイン電極幅200μm、ソースドレイン電極間距離10μm、ゲートリセス量~0.3μm、ゲート電極幅1μm、ゲート電極長さ~1μmのFETを作製したところ、 $V_{GS} = -2.5$ Vにて $I_{DS}$ が0.1mAとなるVDS(耐圧)が25Vであった。また、バッファ層のリーク電流は図4の電極構造で印加電圧10Vでの電流は $5 \times 10^{-8}$ Aであり、FET耐圧値としては申し分ない値であった。一方、高周波特性を反映するサイドゲート効果による電流変動を調べた。サイドゲート電極は上記のFETのドレイン電極から~200μm離れた位置に $200 \times 200 \mu\text{m}^2$ のオーミック電極を形成した。サイドゲート電圧 $V_{SG} = 0$ Vとしたとき、 $V_{GS} = -0.5$ V、 $V_{DS} = 10$ Vにて $I_{DS} = 30$ mAであったが、 $V_{SG} = -10$ Vとしたところ $I_{DS}$ の電流変動が0.5mAと大きく高周波特性に問題があることがわかった（従来例1）。

【0013】一方、同じ活性層の構成でバッファ層のみ図5の超格子バッファ層として、全く同じ電極構造でFET耐圧、バッファ層リーク電流及びサイドゲート効果による電流変動を測定したところ、厚膜バッファ層と同じ電圧等のパラメータでの測定を行ったところ、サイドゲート効果による電流変動は0.01mAであったものの、FET耐圧は14V、バッファリーク電流は $2 \times 10^{-6}$ A、とFET耐圧に問題があることがわかった（従来例2）。

#### 【0014】

【課題を解決するための手段】本発明は、上記の問題点を解決したものであり、GaAs基板上に厚さ0.05~1.0μmの厚膜GaAs層よりなる下部バッファ層と、少なくともGaAs/AlGaAs超格子構造と厚さ0.05~1.0μmの厚膜AlGaAs層を有する上部バッファ層を形成したことを特徴とする化合物半導体基板である。

【0015】即ち、本発明は従来のバッファ構造が備えていた下部バッファ層に加えて、基板側からの結晶欠陥の伝搬あるいは不純物の拡散等によって引き起こされると推定される高周波特性の悪化を抑止する役割を有するGaAs/AlGaAs薄膜周期構造と、耐圧を高める役割を有する厚膜AlGaAsバッファ層を少なくとも具備する上部バッファ層を設けることにより、高耐圧性と良好な高周波特性を併せ持つFET素子の提供を可能としたものである。

【0016】ここで、上部バッファ層中のAlGaAs層のAl組成比は、0.15~0.35程度が適当である。その理由は、活性層から電子がバッファ層側へ逃げ

ないようにするために概ね Al 組成比 0.15 以上必要であり、また Al 組成比を大きくしすぎると、その上に堆積する半導体層の結晶性が低下するという不都合を生じるためである。また、超格子構造を構成する GaAs 層、AlGaAs 層の膜厚はそれぞれ 5~100 nm 程度が適当である。その理由は、超格子構造を構成する GaAs 層、AlGaAs 層の膜厚が 5 nm 以下となると結晶成長上の問題、特に GaAs / AlGaAs 界面の急峻さの問題など) を生じ、また 100 nm 以上となると GaAs 層間での電気伝導が起きてバッファ層の耐圧が低下するなどの問題を生じるためである。さらに、下部バッファ層を構成する厚膜 GaAs 層および上部バッファ層を構成する厚膜 AlGaAs 層の膜厚をそれぞれ 0.05~1.0 μm とした理由は、0.05 μm 以下ではバッファ層上に形成される半導体層の結晶性を十分高めることができないからであり、また 1.0 μm 以上としても実用上のメリットは見込めないためである。

#### 【0017】

【実施例】以下、実施例に基づいて本発明を説明する。

#### 【0018】実施例 1

GaAs 基板上に下部バッファ層として膜厚 0.5 μm の GaAs 層を形成し、その後に上部バッファ層として膜厚 1.0 μm の AlGaAs 層 (Al 組成 0.2) と、それぞれ膜厚 10 nm の GaAs 層と AlGaAs (Al 組成 0.2) 層を 20 周期堆積した超格子構造を形成した。さらにこのバッファ層構造上にキャリア密度  $2.0 \times 10^{17} \text{ cm}^{-3}$ 、厚さ 0.5 μm の GaAs 活性層を形成して図 6 の構造を得た。続いて、図 6 の構造にサイドゲート効果測定回路、バッファリーク電流測定回路を形成して、サイドゲート効果による電流変動、FET 耐圧、バッファリーク電流の測定を行った。なお、これらの測定回路および測定条件は従来例 1、2 に用いたものと同一とした。即ちサイドゲート効果測定回路は、ソース、ドレイン電極幅 200 μm、ソースドレイン電極間距離 10 μm、ゲートリセス量 ~0.3 μm、ゲート電極幅 1 μm、ゲート電極長さ 1 μm の FET 構造に、ドレイン電極から ~200 μm 離れた位置に  $200 \times 200 \mu\text{m}^2$  のオーミック電極を形成したものとし、サイドゲート効果による電流変動は、サイドゲート電圧を 0 V ~ -10 V に変化させたときの  $I_{DS}$  の変動とし、耐圧はサイドゲート電圧 = 0 V、 $V_{GS} = -2.5$  V の条件で  $I_{DS}$  が 0.1 mA となる  $V_{DS}$  値とした。また、バッファリーク電流は、図 4 の電極構造間に 10 V の電圧を印加したときの両電極間の電流値とした。

#### 【0019】実施例 2

GaAs 基板上に膜厚 0.5 μm の GaAs 層からなる下部バッファ層を形成し、その後にそれぞれ膜厚 10 nm の GaAs 層と AlGaAs (Al 組成 0.2) 層を 20 周期堆積した超格子構造と、膜厚 1.0 μm の AlGaAs 層 (Al 組成 0.2) よりなる上部バッファ層

を形成した。さらにこのバッファ層構造上にキャリア密度  $2.0 \times 10^{17} \text{ cm}^{-3}$ 、厚さ 0.5 μm の GaAs 活性層を形成して図 7 の構造を作成し、実施例 1 と同様にしてサイドゲート効果による電流変動、FET 耐圧、バッファリーク電流の測定を行った。

#### 【0020】実施例 3

GaAs 基板上に膜厚 0.5 μm の GaAs 層からなる下部バッファ層を形成し、その後に膜厚 1.0 μm の AlGaAs 層 (Al 組成 0.2) と、それぞれ膜厚 50 nm の GaAs 層と AlGaAs (Al 組成 0.2) 層を 20 周期堆積した超格子構造よりなる上部バッファ層を形成した。さらにこのバッファ層構造上にキャリア密度  $2.0 \times 10^{17} \text{ cm}^{-3}$ 、厚さ 0.5 μm の GaAs 活性層を形成して図 8 の構造を作成し、実施例 1 と同様にしてサイドゲート効果による電流変動、FET 耐圧、バッファリーク電流の測定を行った。

#### 【0021】実施例 4

GaAs 基板上に膜厚 0.5 μm の GaAs 層からなる下部バッファ層を形成し、その後にそれぞれ膜厚 50 nm の GaAs 層と AlGaAs (Al 組成 0.2) 層を 20 周期堆積した超格子構造と、膜厚 1.0 μm の AlGaAs 層 (Al 組成 0.2) よりなる上部バッファ層を形成した。さらにこのバッファ層構造上にキャリア密度  $2.0 \times 10^{17} \text{ cm}^{-3}$ 、厚さ 0.5 μm の GaAs 活性層を形成して図 9 の構造を作成し、実施例 1 と同様にしてサイドゲート効果による電流変動、FET 耐圧、バッファリーク電流の測定を行った。

#### 【0022】実施例 5

GaAs 基板上に膜厚 0.5 μm の GaAs 層からなる下部バッファ層を形成し、その後に膜厚 0.5 μm の AlGaAs 層 (Al 組成 0.2) 、それぞれ膜厚 10 nm の GaAs 層と AlGaAs (Al 組成 0.2) 層を 20 周期堆積した超格子構造、膜厚 0.5 μm の AlGaAs 層 (Al 組成 0.2) を順次積層した上部バッファ層を形成した。さらにこのバッファ層構造上にキャリア密度  $2.0 \times 10^{17} \text{ cm}^{-3}$ 、厚さ 0.5 μm の GaAs 活性層を形成して図 10 の構造を作成し、実施例 1 と同様にしてサイドゲート効果による電流変動、FET 耐圧、バッファリーク電流の測定を行った。

#### 【0023】実施例 6

GaAs 基板上に膜厚 0.5 μm の GaAs 層からなる下部バッファ層を形成し、その後に膜厚 0.5 μm の AlGaAs 層 (Al 組成 0.2) 、それぞれ膜厚 50 nm の GaAs 層と AlGaAs (Al 組成 0.2) 層を 5 周期堆積した超格子構造、膜厚 0.5 μm の AlGaAs 層 (Al 組成 0.2) を順次積層した上部バッファ層を形成した。さらにこのバッファ層構造上にキャリア密度  $2.0 \times 10^{17} \text{ cm}^{-3}$ 、厚さ 0.5 μm の GaAs 活性層を形成して図 11 の構造を作成し、実施例 1 と同

様にしてサイドゲート効果による電流変動、FET耐圧、バッファリーク電流の測定を行った。

【0024】比較例1

GaAs基板上に膜厚0.5μmのGaAs層からなる下部バッファ層を形成し、その後に膜厚1.0μmのAlGaAs層（Al組成0.2）と、それぞれ膜厚50nmのGaAs層とAlGaAs（Al組成0.2）層を1周期堆積した超格子構造よりなる上部バッファ層を形成した。さらにこのバッファ層構造上にキャリア密度 $2.0 \times 10^{17} \text{ cm}^{-3}$ 、厚さ0.5μmのGaAs活性層を形成して図12の構造を作成し、実施例1と同様にしてサイドゲート効果による電流変動、FET耐圧、バッファリーク電流の測定を行った。

【0025】比較例2

GaAs基板上に膜厚0.5μmのGaAs層からなる下部バッファ層を形成し、その後に膜厚1.0μmのAlGaAs層（Al組成0.2）と、それぞれ膜厚50nmのGaAs層とAlGaAs（Al組成0.2）層を2周期堆積した超格子構造よりなる上部バッファ層を形成した。さらにこのバッファ層構造上にキャリア密度 $2.0 \times 10^{17} \text{ cm}^{-3}$ 、厚さ0.5μmのGaAs活性層を形成して図12の構造を作成し、実施例1と同様にしてサイドゲート効果による電流変動、FET耐圧、バッファリーク電流の測定を行った。

【0026】比較例3

GaAs基板上に膜厚0.5μmのGaAs層からなる下部バッファ層を形成し、その後に膜厚1.0μmのAlGaAs層（Al組成0.2）と、それぞれ膜厚10nmのGaAs層とAlGaAs（Al組成0.2）層を30周期堆積した超格子構造よりなる上部バッファ層を形成した。さらにこのバッファ層構造上にキャリア密度 $2.0 \times 10^{17} \text{ cm}^{-3}$ 、厚さ0.5μmのGaAs活性層を形成して図13の構造を作成し、実施例1と同様にしてサイドゲート効果による電流変動、FET耐圧、バッファリーク電流の測定を行った。

【0027】表1に実施例1～6、比較例1～3、従来例1、2の特性評価結果をまとめて示す。表1から明らかなように、上部バッファ層が厚膜のAlGaAsのみからなる従来例1は耐圧こそ十分な値を示しているがサイドリーク効果による電流変動が大きく高周波特性が劣り、上部バッファ層が超格子構造のみからなる従来例2はサイドリーク効果による電流変動こそ小さいものの、耐圧が不十分であるのに対して、厚膜のAlGaAsと超格子構造の双方を具備する上部バッファ層を形成した実施例1～6は、厚膜のAlGaAsと超格子構造の積

層順序や超格子構造を構成するGaAs層、AlGaAs層の膜厚、積層周期数によらず、高周波特性、耐圧ともに十分な特性を有していることがわかる。また比較例1～3より、上部バッファ層中の超格子構造の周期数が2以下とした場合、30以上とした場合にはサイドリーク効果による電流変動が増加し、高周波特性が低下する傾向にあることがわかる。

【0028】以上の説明は、本発明にかかる化合物半導体基板をFET素子に用いることを前提に記載したが、FET素子と同様に高周波特性、耐圧特性が必要とされる半導体素子、例えばHEMT（高電子移動度電界効果トランジスタ）やHBT（ヘテロ接合バイポーラトランジスタ）などにも同様に本発明が有用であることは明らかであり、本発明はFET素子に用いる場合に限定されるものではない。

【0029】

【発明の効果】以上説明したとおり本発明によれば、高周波特性、耐圧特性ともに優れる半導体素子の提供が可能となる。

【図面の簡単な説明】

【図1】従来のバッファ層構造の一例を示す説明図。

【図2】FET用エピタキシャルウェハの成長シーケンスを示す説明図。

【図3】サイドゲート効果測定用回路の構造示す説明図。

【図4】バッファリーク電流測定用回路の構造を示す説明図。

【図5】従来のバッファ層構造の一例を示す説明図。

【図6】本発明の第1の実施例のバッファ層構造を示す説明図。

【図7】本発明の第2の実施例のバッファ層構造を示す説明図。

【図8】本発明の第3の実施例のバッファ層構造を示す説明図。

【図9】本発明の第4の実施例のバッファ層構造を示す説明図。

【図10】本発明の第5の実施例のバッファ層構造を示す説明図。

【図11】本発明の第6の実施例のバッファ層構造を示す説明図。

【図12】本発明の第7、第8の実施例のバッファ層構造を示す説明図。

【図13】本発明の第9の実施例のバッファ層構造を示す説明図。

【表1】

表 1 特性比較表

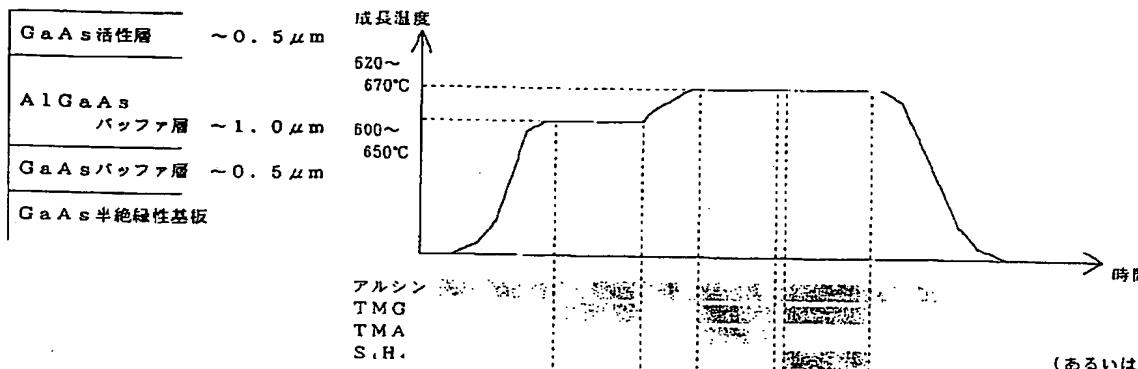
		実施例1 図7	実施例2 図8	実施例3 図9	実施例4 図10	従来技術 図11	従来技術 図12
構造	上部バッファ層 第3層	無し	無し	無し	無し	無し	無し
	第2層	SL 10/10 ×20	AlGaAs 1.0 $\mu$ m	AlGaAs 1.0 $\mu$ m	SL 50/50 ×5	無し	無し
	第1層	AlGaAs 1.0 $\mu$ m	SL 10/10 ×20	SL 50/50 ×5	AlGaAs 1.0 $\mu$ m	AlGaAs 1.0 $\mu$ m	SL 10/10 ×20
	下部バッファ層	GaAs 0.5 $\mu$ m					
特性	H <sup>+</sup> アタリック電流 (A)	6 × 10 <sup>-8</sup>	4 × 10 <sup>-8</sup>	4 × 10 <sup>-8</sup>	5 × 10 <sup>-8</sup>	5 × 10 <sup>-8</sup>	2 × 10 <sup>-8</sup>
	FET耐圧 (V)	2.2	2.6	2.5	2.2	2.5	1.4
	サブアーリング効果による電流変動 (mA)	0.01	0.02	0.03	0.01	0.5	0.01

			実施例5 図11	実施例6 図12	比較例1 図13	比較例2 図13	比較例3 図14
構造	上部バッファ層	第3層	AlGaAs 0.5μm	AlGaAs 0.5μm	無し	無し	無し
	第2層	SL 10/10 ×20	SL 50/50 ×5	AlGaAs 1.0μm	AlGaAs 1.0μm	AlGaAs 1.0μm	AlGaAs 1.0μm
	第1層	AlGaAs 0.5μm	AlGaAs 0.5μm	SL 50/50 ×1	SL 50/50 ×2	SL 10/10 ×30	SL 10/10 ×30
	下部バッファ層	GaAs 0.5μm	GaAs 0.5μm	GaAs 0.5μm	GaAs 0.5μm	GaAs 0.5μm	GaAs 0.5μm
特性	アーチファクト電流 (A)	5× 10 <sup>-8</sup>	4× 10 <sup>-8</sup>	4× 10 <sup>-8</sup>	5× 10 <sup>-8</sup>	6× 10 <sup>-8</sup>	6× 10 <sup>-8</sup>
	FET耐圧 (V)	2.5	2.4	2.5	2.4	2.3	2.3
	リバーリング効果による電流変動 (mA)	0.02	0.03	0.06	0.05	0.07	0.07

注) SLは超格子構造を意味する。

S-Lの構造は、AlGaAs厚さ(μm)/GaAs厚さ(μm)  
×周期数のように表示した。

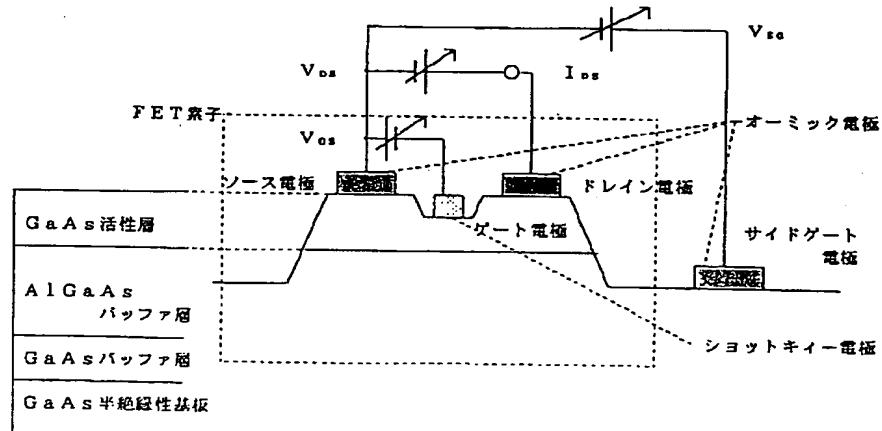
[图 1]



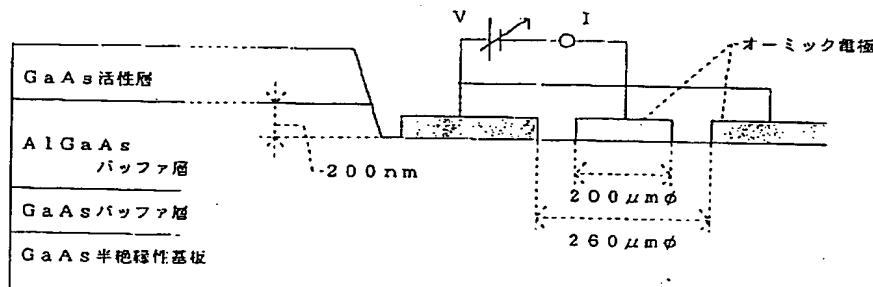
〔圖2〕

(あるいは S i, H.)

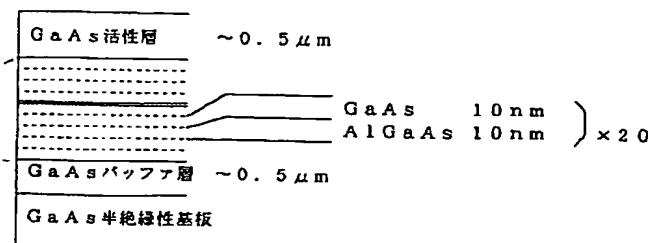
【図3】



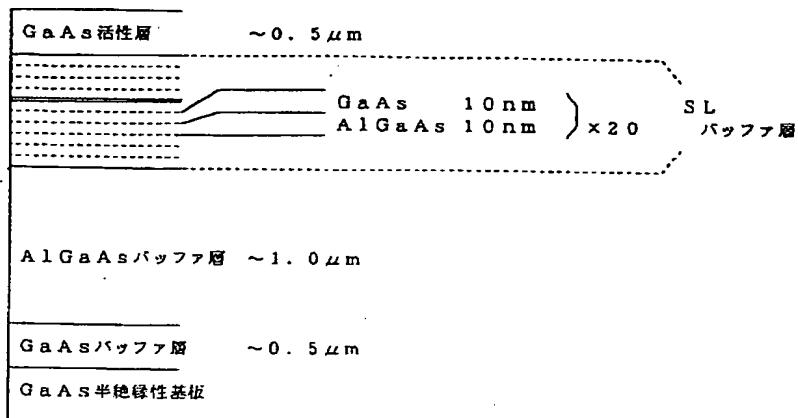
【図4】



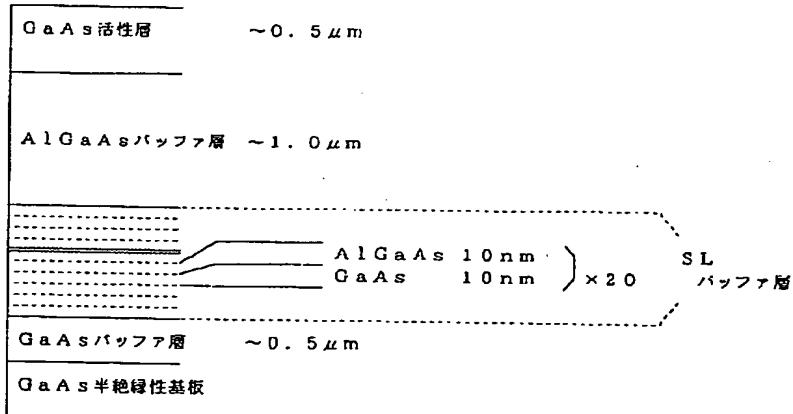
【図5】



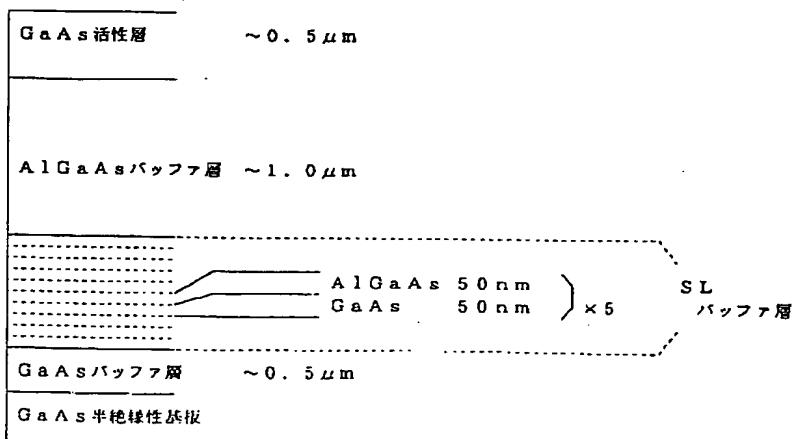
【図6】



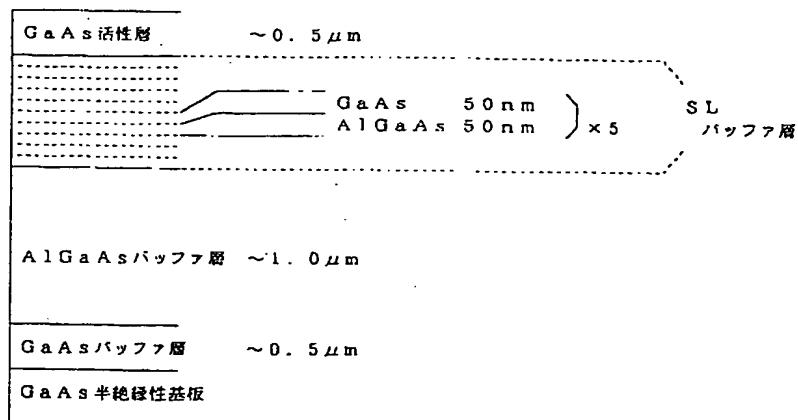
【図7】



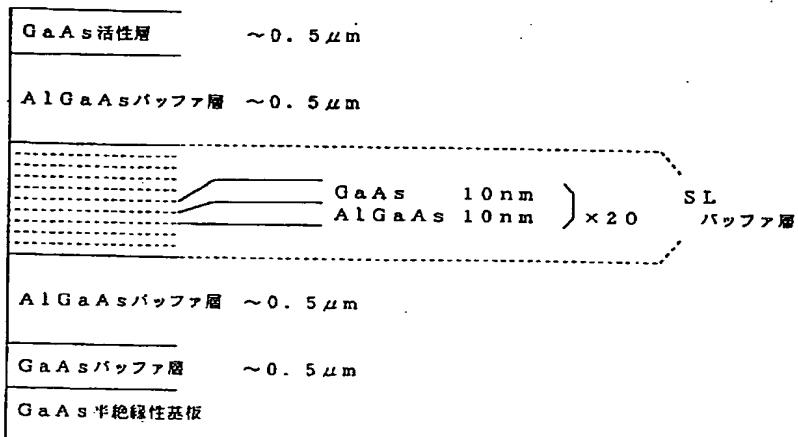
【図8】



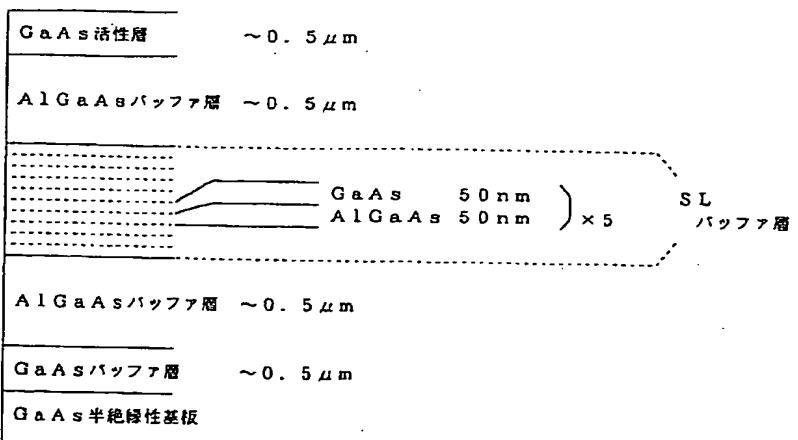
【図9】



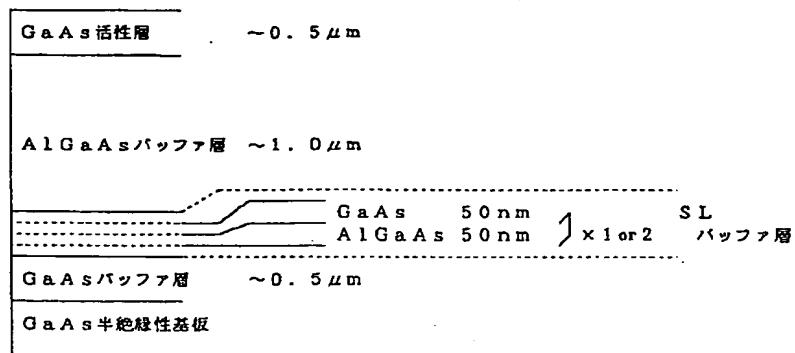
【図10】



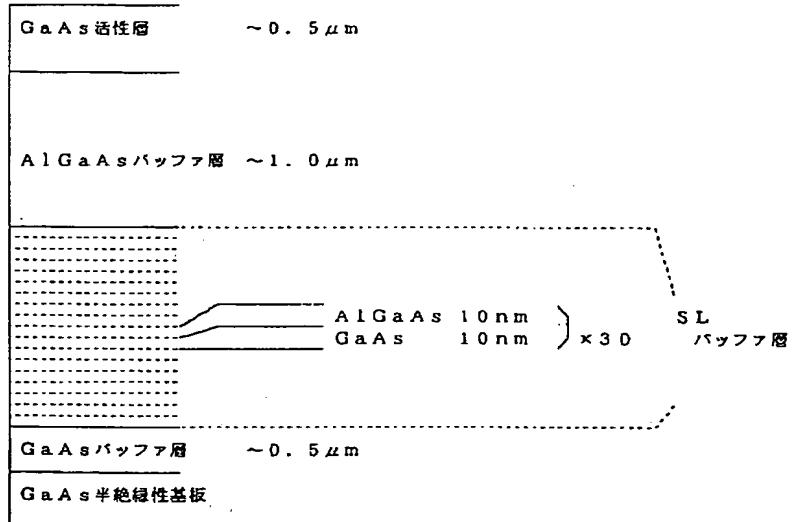
【図11】



【図12】



【図13】



フロントページの続き

(72)発明者 池田 正清  
東京都千代田区丸の内2丁目6番1号 古  
河電気工業株式会社内